

日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年11月17日

出願番号
Application Number:

特願2000-351898

出願人
Applicant(s):

ソニー株式会社

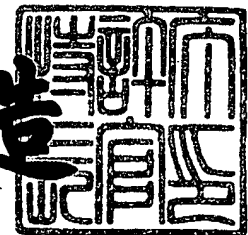
CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 9900972904

【提出日】 平成12年11月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 13/12
G06F 11/10

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
// 内

【氏名】 桑添 泰嘉

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 永瀬 拓

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 榮一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 復号装置及び方法、並びにデータ受信装置及び方法

【特許請求の範囲】

【請求項 1】 畳み込み符号化されたデータ列をビタビアルゴリズムに基づいて最尤復号する復号装置において、

畳み込み符号化されたデータ列を復号するためのトレリス計算を行う計算手段と、

この計算手段によるトレリス計算処理を、符号化前のデータの n ビット分に相当する処理の時刻を単位として行う際に、前時刻の計算結果の 2^n 状態分を並列処理して現在時刻の 2^n 状態分の計算結果を求めるように制御する制御手段と

を有することを特徴とする復号装置。

【請求項 2】 上記計算結果及び計算前の各データを格納するメモリを有し、上記前時刻の計算結果の 2^n 状態分を読み出した上記メモリのメモリ領域に、これらの 2^n 状態分の計算結果を並列処理して得られた上記現在時刻の 2^n 状態分の計算結果を書き戻すことを特徴とする請求項 1 記載の復号装置。

【請求項 3】 畳み込み符号化されたデータ列をビタビアルゴリズムに基づいて最尤復号する復号方法において、

畳み込み符号化されたデータ列を復号するためのトレリス計算処理を、符号化前のデータの n ビット分に相当する処理の時刻を単位として行う際に、前時刻の計算結果の 2^n 状態分を並列処理して現在時刻の 2^n 状態分の計算結果を求めること

を特徴とする復号方法。

【請求項 4】 上記前時刻の計算結果の 2^n 状態分を読み出したメモリ領域に、これらの 2^n 状態分の計算結果を並列処理して得られた上記現在時刻の 2^n 状態分の計算結果を書き戻すことを特徴とする請求項 3 記載の復号方法。

【請求項 5】 畳み込み符号化された信号を受信してビタビアルゴリズムに基づいて最尤復号する復号部を有するデータ受信装置において、

上記復号部は、

受信されて得られた畳み込み符号化されたデータ列を復号するためのトレリス計算を行う計算手段と、

この計算手段によるトレリス計算処理を、符号化前のデータの n ビット分に相当する処理の時刻を単位として行う際に、前時刻の計算結果の 2^n 状態分を並列処理して現在時刻の 2^n 状態分の計算結果を求めるように制御する制御手段と

を有することを特徴とするデータ受信装置。

【請求項 6】 上記計算結果及び計算前の各データを格納するメモリを有し、上記前時刻の計算結果の 2^n 状態分を読み出した上記メモリのメモリ領域に、これらの 2^n 状態分の計算結果を並列処理して得られた上記現在時刻の 2^n 状態分の計算結果を書き戻すことを特徴とする請求項 5 記載のデータ受信装置。

【請求項 7】 畳み込み符号化された信号を受信してビタビアルゴリズムに基づいて最尤復号する復号工程を有するデータ受信方法において、

上記復号工程は、畳み込み符号化されたデータ列を復号するためのトレリス計算処理を、符号化前のデータの n ビット分に相当する処理の時刻を単位として行う際に、前時刻の計算結果の 2^n 状態分を並列処理して現在時刻の 2^n 状態分の計算結果を求めること

を特徴とするデータ受信方法。

【請求項 8】 上記前時刻の計算結果の 2^n 状態分を読み出したメモリ領域に、これらの 2^n 状態分の計算結果を並列処理して得られた上記現在時刻の 2^n 状態分の計算結果を書き戻すことを特徴とする請求項 7 記載のデータ受信方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、畳み込み符号化が施されたデータを復号する復号装置及び方法、並びにこの畳み込み符号の復号が用いられるデータ受信装置及び方法に関する。

【0002】

【従来の技術】

畳み込み符号化は、データ通信等に用いられる誤り訂正符号化技術の1つであり、符号化が逐次的に行われるものである。

【0003】

ここで、拘束長4の畳み込み符号化器の構成例を図5に示す。この図5の入力端子50には畳み込み符号化しようとするデータが供給されている。拘束長4の畳み込み符号化器は、3つの遅延素子（レジスタ）51、52、53と、論理回路部55とを有して成り、論理回路部55は、入力端子50からの入力データや各遅延素子51、52、53からの出力データの少なくとも一部を用いて、例えば排他的論理和演算を施すようにしたものである。図5の例では、入力端子50からの入力データと遅延素子53からの出力データとを排他的論理和回路55aに供給し、排他的論理和演算を行って演算結果を出力端子56aより取り出し、また、遅延素子52、53からの各出力データを排他的論理和回路55bに供給し、排他的論理和演算を行って演算結果を出力端子56bより取り出している。この図5は符号化レート2の場合の例であるが、符号化レート3（出力が3つ）としてもよく、また、論理回路部55は種々の構成が挙げられる。

【0004】

このような畳み込み符号化器による符号化が施されて得られたデータ列の復号は、トレリス（trellis）線図あるいは状態遷移図に従って尤度に関するメトリック（metric：計量）を累積し、メトリックの小さいパス（経路）を選択するような最尤復号等により行われる。

【0005】

ここで、上記トレリス線図に示される状態とは、上記畳み込み符号化器のシフトレジスタ、すなわち図5の遅延素子51、52、53の内容を示す数値で表され、 $2^3 = 8$ の状態を取り得る。以下の説明では、遅延素子53、52、51の順に数値を並べて状態を表すものとし、例えば遅延素子53、52の数値がいずれも「0」で、遅延素子51の数値が「1」のときの状態を「001」で表す。いま、状態「000」のときに、データ「0」が入力されると状態は「000」になり、データ「1」が入力されると状態は「001」になる。

【0006】

図6は、データが入力される毎の時刻 $x_0 \sim x_2$ において、時刻 x_0 のときの状態「000」からデータ入力毎に遷移し得る状態を示している。すなわち、時刻 x_0 の状態「000」から、次のデータ入力時刻 x_1 では、状態「000」及び「001」に遷移でき、さらに次のデータ入力時刻 x_2 のときには、時刻 x_1 のときの状態「000」から「000」及び「001」に遷移でき、時刻 x_1 のときの状態「001」から「010」及び「011」に遷移できることを示している。復号側では、このような状態の遷移し得る経路毎に、受信された符号語（受信データ）に基づくメトリックを計算し、累積メトリックの小さい方（尤度の大きい方）の経路を確からしいパスとして選択する。

【0007】

このような畳み込み符号化されたデータ列を復号する際に行うトレリスの計算において、前時刻の計算結果のメトリック値をRAM、レジスタ等のメモリから読み出し、それを用いた現在時刻のメトリック値計算結果をメモリに書き戻すという動作を繰り返し行う。

【0008】

なお、本願明細書では、上記符号化前の入力データ（あるいは最終的な復号出力データ）の2ビット分毎に処理を行っており、処理タイミング（データ入力の2ビット分の時間を単位として表した時刻）は、データ入力時刻 x_0 のときの処理タイミングを t とすると、次の処理タイミング $t+1$ は、2ビット分のデータが入力された時刻 x_2 となる。

【0009】

次に、図7は従来の畳み込み符号の復号回路構成の一例を示し、この図7の構成による復号の際のトレリス線図を図8に示す。

【0010】

図7に示す復号回路において、入力端子201には、受信され復調されて得られた畳み込み符号化データ（受信データ）が供給され、この受信データは計算部220に送られている。制御部210は、ステートメトリック用メモリ240の書込／読出を制御するステートメトリック用メモリ制御部211と、パスメトリック用メモリ250の書込／読出を制御するパスメトリック用メモリ制御部21

2と、計算部220及び結果出力部230におけるトレリス計算処理を制御するトレリス計算処理制御部213とを有している。計算部220で計算されて得られたステートメトリック値はステートメトリック用メモリ240に送られて、制御部210のステートメトリック用メモリ制御部211からの制御信号及びアドレスにより書込制御され、また、ステートメトリック用メモリ240からステートメトリック用メモリ制御部211からの制御信号及びアドレスにより読出制御されて得られたステートメトリック値が計算部220に送られる。制御部210のトレリス計算処理制御部213からの制御信号に基づいて、計算部220における計算の結果得られた生き残りパスの情報は、結果出力部230に送られる。結果出力部230は、制御部210のトレリス計算処理制御部213からの制御信号に基づいて、生き残りパス更新後のパスメトリック値をパスメトリック用メモリ240に送る。パスメトリック用メモリ240は、制御部210のパスメトリック用メモリ制御部212からの制御信号及びアドレスにより書込／読出制御され、生き残りパス更新前のパスメトリック値が結果出力部230に送られる。結果出力部230は、制御部210のトレリス計算処理制御部213からの制御信号に基づいて、最終的な復号結果を出力端子202に送る。

【0011】

以上の構成を有する図7の復号回路におけるトレリス計算処理動作について、図8を参照しながら説明する。この図8は、図7のステートメトリック用メモリ240の記憶内容を示しており、上記拘束長4の場合の状態数8に対応して、各状態をS0～S7で表し、これらの各状態S0～S7のメトリック値を記憶するメモリ領域のメモリアドレスをMA0～MA7としている。また、上述したように、このトレリス計算処理の1単位時刻（上記処理タイミング）は、符号化前のデータの2ビット分の処理に対応している。

【0012】

この図8において、上記処理タイミング毎の時刻 t が1時刻ずつインクリメントされる毎に、上記図6にて説明したように、1つの状態（例えば状態S0）から遷移し得る状態は4つ（例えばS0～S3）となる。従って、図8の時刻 t の例えば状態S0の計算の際には、1つ前の時刻 $t-1$ の状態S0, S2, S4,

S 6 からの遷移に基づくメトリック値を計算する処理 A が必要とされる。また、時刻 t の状態 S 1 の計算の際には前の時刻 $t - 1$ の状態 S 0, S 2, S 4, S 6 からの遷移に基づくメトリック値の計算処理 B が行われ、以下同様に、時刻 t における各状態 S 2 ~ S 7 についての各計算処理 C ~ H が順次それぞれ独立に行われる。また、時刻 t から時刻 $t + 1$ へ遷移する場合も同様に、各状態 S 0 ~ S 7 の 8 状態についてそれぞれ計算処理 S 0 ~ S 7 が独立に必要なとなる。

【 0 0 1 3 】

【発明が解決しようとする課題】

ところで、上述した従来の畳み込み符号の復号回路においては、トレリス計算の際に、拘束長に応じて決定される状態の数だけ、例えば拘束長 4 の場合には 8 状態について、それぞれ独立の計算処理が必要とされるため、復号処理に要する時間がかかり、処理時間を短縮するためには処理に用いるクロックの速度を上げる必要があるという問題があった。

【 0 0 1 4 】

本発明は、このような実情に鑑みてなされたものであって、処理クロックを上げなくとも復号処理時間の短縮が図れるような復号装置及び方法、並びにデータ受信装置及び方法を提供することを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】

上述のような課題を解決するために、本発明に係る復号装置及び方法は、畳み込み符号化されたデータ列をビタビアルゴリズムに基づいて最尤復号する場合に、畳み込み符号化されたデータ列を復号するためのトレリス計算処理を、符号化前のデータの n ビット分に相当する処理の時刻を単位として行う際に、前時刻の計算結果の 2^n 状態分を並列処理して現在時刻の 2^n 状態分の計算結果を求めることを特徴とする。

【 0 0 1 6 】

ここで、上記前時刻の計算結果の 2^n 状態分を読み出したメモリ領域に、これらの 2^n 状態分の計算結果を並列処理して得られた上記現在時刻の 2^n 状態分の計算結果を書き戻すことが挙げられる。

【0017】

次に、本発明に係るデータ受信装置及び方法は、畳み込み符号化された信号を受信してビタビアルゴリズムに基づいて最尤復号する際に、畳み込み符号化されたデータ列を復号するためのトレリス計算処理を、符号化前のデータの n ビット分に相当する処理の時刻を単位として行う際に、前時刻の計算結果の 2^n 状態分を並列処理して現在時刻の 2^n 状態分の計算結果を求めることを特徴とするものである。

【0018】

【発明の実施の形態】

以下、本発明に係る復号装置及び方法、並びにデータ受信装置及び方法の実施の形態について、図面を参照しながら説明する。

【0019】

図1は、本発明に係る復号装置及び方法の実施の形態となる復号回路の概略構成を示すブロック図である。この図1において、入力端子101には、受信され復調されて得られた畳み込み符号化データ（受信データ）が供給され、この受信データは計算部120に送られている。制御部110は、メモリ（M1～M4）161～164の書込／読出を制御するメモリ制御部114と、計算部120及び結果出力部130におけるトレリス計算処理を制御するトレリス計算処理制御部113とを有している。計算部120で計算されて得られたステートメトリック値はメモリ161～164に送られて、制御部110のメモリ制御部114からの制御信号及びアドレスにより書込制御され、また、メモリ制御部114の制御信号及びアドレスによりメモリ161～164から読出制御されて得られたステートメトリック値が計算部120に送られる。制御部110のトレリス計算処理制御部113からの制御信号に基づいて、計算部120における計算の結果得られた生き残りパスの情報は、結果出力部130に送られる。結果出力部130は、制御部110のトレリス計算処理制御部113からの制御信号に基づいて、生き残りパス更新後のパスメトリック値をメモリ161～164に送る。メモリ161～164は、制御部110のメモリ制御部114からの制御信号及びアドレスにより書込／読出制御され、生き残りパス更新前のパスメトリック値が結果

出力部130に送られる。結果出力部130は、制御部110のトレリス計算処理制御部113からの制御信号に基づいて、最終的な復号結果を出力端子102に送る。

【0020】

この図1に示す実施の形態におけるメモリ(M1~M4)161~164は、上記図7に示す従来例におけるステートメトリック用メモリ240及びパスメトリック用メモリ250を1つにまとめたものに等しい。この場合、メモリ161~164の記憶領域を2分割し、ステートメトリック値とパスメトリック値とをそれぞれの領域に記憶させるようにすることが挙げられる。

【0021】

次に、図2は、図1に示す復号回路におけるトレリス計算処理動作を説明するための図である。この図2において、上記拘束長4の場合の状態数8に対応して、各状態をS0~S7で表し、これらの各状態S0~S7のメトリック値を記憶する領域のメモリ(M1~M4)161~164のアドレスをM1A0, M1A1~M4A0, M4A1としている。また、上述したように、このトレリス計算処理の1単位時刻(上記処理タイミング)は、符号化前のデータの2ビット分の処理に対応している。

【0022】

この実施の形態においては、1時刻(1処理タイミング)毎に2ビットの処理を行う場合、前時刻の計算結果をメモリ(M1~M4)161~164から読み出すと共に、それを用いた現在時刻の計算結果をメモリ(M1~M4)161~164に書き戻す動作を、同時に4つの状態について並列処理している。すなわち、メモリ(M1~M4)161~164の4つのアドレスから読み出したデータからトレリスを計算し、読み出したアドレスと同じ4つのアドレスに書き戻し、これを処理Aと処理Bとで2回行うことにより、当該時刻における全状態についての計算を行うようにしている。なお、一般に、1時刻(1処理タイミング)毎にnビットの処理を行う場合には、 2^n の状態について並列処理を行わせることになる。

【0023】

ここで比較例として、上記図8と共に説明した従来のトレリス計算について、そのまま4状態分の計算を並列処理させる場合には、図3に示すようになる。この図3の例では、時刻 $t-1$ から時刻 t へ遷移する場合において、4状態分のメトリック値の計算を同時に行い、破線に示す処理Aと、実線に示す処理Bとの2回の処理で1時刻（1処理タイミング）の2ビット分のトレリス計算処理を完了するようにしている。しかしながら、この図3の例では、処理Aにおいて、メモリアドレスMA0, MA2, MA4, MA6の各状態S0, S2, S4, S6についてのメトリック値を読み出し、計算し、メモリアドレスMA0, MA1, MA2, MA3に書き戻す処理を行うと、次に処理Bを実行する際には、メモリアドレスMA1, MA3の内容が書き変わっているという問題がある。

【0024】

そこで、本実施の形態においては、図2に示すように、メモリアドレスと各状態S0～S7との対応関係を変えることにより、処理結果をメモリに書き戻す際の未処理のメモリ領域の上書きを防止している。この図2の例では、並列処理によりメトリック値を読み出した4つのメモリアドレスのメモリ領域に対してのみ処理結果を書き戻すようにしている。

【0025】

この場合のメモリアドレス設定条件を拘束長 m 、すなわち状態数 2^{m-1} の場合に一般化して述べると、次の通りである。

(1) 同時に4状態分の計算を並列処理している前時刻の4つのアドレスと現在時刻の4つのアドレスが同じである。

(2) (状態数 2^{m-1}) / 4 の回数だけ上記並列処理を繰り返すことで全ての状態の計算が行える。

(3) 復号処理開始時刻0から処理終了まで上記(1)、(2)の条件が満足できる。すなわち、アドレスが重複しない、あるいは上書きされない。

【0026】

以下、具体的な動作について図2を参照しながら説明する。この動作説明では、メモリ161～164をM1～M4で示し、それぞれのメモリM1～M4毎の2つのアドレス(A0, A1)を、M1A0, M1A1, M2A0, …のよ

うに表している。

【0027】

先ず、時刻 $t-1$ から時刻 t への遷移について説明する。このときには、メモリアドレス $M1A0$ 、 $M2A0$ 、 $M3A0$ 、 $M4A0$ の格納データについての並列処理Aを行い、次にメモリアドレス $M1A1$ 、 $M2A1$ 、 $M3A1$ 、 $M4A1$ の格納データについての並列処理Bを行う。これらの2つの並列処理は、前後関係が逆でもよい。

【0028】

時刻 $t-1$ では、メモリアドレス $M1A0$ 、 $M2A0$ 、 $M3A0$ 、 $M4A0$ にそれぞれ状態 $S0$ 、 $S4$ 、 $S2$ 、 $S6$ のデータ（メトリック値）が格納され、メモリアドレス $M1A1$ 、 $M2A1$ 、 $M3A1$ 、 $M4A1$ にそれぞれ状態 $S5$ 、 $S1$ 、 $S7$ 、 $S3$ のデータ（メトリック値）が格納されている。

【0029】

処理Aにより、メモリアドレス $M1A0$ 、 $M2A0$ 、 $M3A0$ 、 $M4A0$ に格納された時刻 $t-1$ における各状態 $S0$ 、 $S4$ 、 $S2$ 、 $S6$ のメトリック値を読み出して、元の符号化前のデータの2ビット分が「00」、「01」、「10」、「11」となるときの時刻 t における状態のメトリック値を算出する。すなわち、時刻 $t-1$ での状態 $S0$ は、上記2ビット分が「00」、「01」、「10」、「11」となるときそれぞれ状態 $S0$ 、 $S1$ 、 $S2$ 、 $S3$ に遷移し、同様に時刻 $t-1$ での状態 $S4$ 、 $S2$ あるいは $S6$ についても、上記2ビット分が「00」、「01」、「10」、「11」となることに応じて、それぞれ状態 $S0$ 、 $S1$ 、 $S2$ 、 $S3$ に遷移する。これらの遷移による時刻 t での各状態 $S0$ 、 $S1$ 、 $S2$ 、 $S3$ のメトリック値を算出し、上記と同じメモリアドレス $M1A0$ 、 $M2A0$ 、 $M3A0$ 、 $M4A0$ に算出結果のデータ、すなわち各状態 $S0$ 、 $S1$ 、 $S2$ 、 $S3$ のメトリック値をそれぞれ書き戻す。

【0030】

また処理Bにより、メモリアドレス $M1A1$ 、 $M2A1$ 、 $M3A1$ 、 $M4A1$ に格納された時刻 $t-1$ での各状態 $S5$ 、 $S1$ 、 $S7$ 、 $S3$ のメトリック値を読み出して、元の符号化前のデータの2ビット分が「00」、「01」、「10」

、「11」となるときの時刻 t における状態 $S4$ 、 $S5$ 、 $S6$ 、 $S7$ のメトリック値を算出し、上記と同じメモリアドレス $M1A1$ 、 $M2A1$ 、 $M3A1$ 、 $M4A1$ には、状態 $S5$ 、 $S4$ 、 $S7$ 、 $S6$ についての算出結果データ（メトリック値）をそれぞれ書き戻す。これは、メモリアドレス $M1A1$ 、 $M2A1$ 、 $M3A1$ 、 $M4A1$ に時刻 t における状態 $S4$ 、 $S5$ 、 $S6$ 、 $S7$ のメトリック値を書き戻してもよいが、図2の実施の形態のようにすると、メモリアドレスと状態との対応関係の変更（入れ替え）を極力減らすことができ、メモリアドレス $M1A1$ と状態 $S5$ 、 $M3A1$ と状態 $S7$ との対応関係が固定される（変更しなくて済む）ことを考慮したものである。

【0031】

次に、時刻 t から時刻 $t+1$ への遷移について説明する。このときには、メモリアドレス $M1A0$ 、 $M3A0$ 、 $M2A1$ 、 $M4A1$ の格納データ（状態 $S0$ 、 $S2$ 、 $S4$ 、 $S6$ のメトリック値）についての並列処理Aを行い、次にメモリアドレス $M2A0$ 、 $M4A0$ 、 $M1A1$ 、 $M3A1$ の格納データ（状態 $S1$ 、 $S3$ 、 $S5$ 、 $S7$ のメトリック値）についての並列処理Bを行う。これらの2つの並列処理の前後関係についても逆とすることができる。

【0032】

処理Aにより、メモリアドレス $M1A0$ 、 $M3A0$ 、 $M2A1$ 、 $M4A1$ に格納された時刻 t における各状態 $S0$ 、 $S2$ 、 $S4$ 、 $S6$ のメトリック値を読み出し、元の符号化前のデータの2ビット分が「00」、「01」、「10」、「11」となるときの時刻 $t+1$ における状態 $S0$ 、 $S1$ 、 $S2$ 、 $S3$ のメトリック値を算出して、上記と同じメモリアドレス $M1A1$ 、 $M2A1$ 、 $M3A1$ 、 $M4A1$ に時刻 $t+1$ における状態 $S0$ 、 $S2$ 、 $S1$ 、 $S3$ の算出結果データであるメトリック値をそれぞれ書き戻す。

【0033】

また、処理Bにより、メモリアドレス $M2A0$ 、 $M4A0$ 、 $M1A1$ 、 $M3A1$ に格納された時刻 t における各状態 $S1$ 、 $S3$ 、 $S5$ 、 $S7$ のメトリック値を読み出し、元の符号化前のデータの2ビット分が「00」、「01」、「10」、「11」となるときの時刻 $t+1$ における状態 $S4$ 、 $S5$ 、 $S6$ 、 $S7$ のメト

リック値を算出して、上記と同じメモリアドレスM2A0, M4A0, M1A1, M3A1に時刻 $t+1$ における状態S4, S6, S5, S7の算出結果データであるメトリック値をそれぞれ書き戻す。

【0034】

時刻 $t-1$ のメモリアドレス及び状態の対応関係と時刻 $t+1$ のメモリアドレス及び状態の対応関係とは同じであるので、時刻 $t+1$ から次の時刻 $t+2$ への遷移に応じたトレリス計算処理は、時刻 $t-1$ から時刻 t への処理と同様となる。以下同様に、時刻 t から時刻 $t+1$ への処理に等しい処理と、時刻 $t-1$ から時刻 t への処理に等しい処理とを交互に所望の回数だけ繰り返すことで、所望のビット数の復号が可能になる。

【0035】

なお、上記メモリアドレスと状態との対応関係は、上述した実施の形態に限定されず、また、拘束長も4に限定されず、拘束長5以上の場合にも本発明を適用することができる。例えば、拘束長9で状態数が $2^8 = 256$ の場合には、4並列処理が64回行われることで1時刻分の全ての状態の処理が完了し、1時刻分の処理については、例えば4時刻を周期として同じ処理が繰り返される。

【0036】

次に、この図1に示したような畳み込み符号の復号回路を用いたデータ送受信装置の概略構成を図4に示す。

【0037】

この図4において、アンテナ1で受けられた受信信号は、送受信でアンテナ1を共用するための共用器2を介して、低雑音アンプ3に送られて増幅され、受信RF (Radio Frequency) 部4でベースバンド帯の信号に変換され、復調部5に送られてベースバンド信号処理により復調される。復調された信号は、上記図1に示したような畳み込み符号の復号回路を有する復号部6にて復号処理され、端末インターフェース (I/F) 部7に送られる。端末I/F部7は受信したパケットデータをデータ端末8に送る。また、データ端末8からの送信しようとするデータは、端末I/F部7を介し、畳み込み符号化部11に送られて、前記図5と共に説明したような畳み込み符号化処理が行われる。畳み込み符号化された符

号化データは、変調部 1 2 に送られて変調され、送信 R F 部 1 3 で R F 帯の信号に変換されてパワーアンプ 1 4 で増幅され、共用器 2 を介してアンテナ 1 に送られ送信される。

【 0 0 3 8 】

なお、この図 4 の構成は概略のみを示しており、実際のデータ送受信装置には、例えばスペクトラム拡散通信のための構成や、同期確立のための構成、あるいはインターリーブ、誤り訂正のための構成等が必要に応じて設けられているが、本発明の要旨とは関係がないため省略している。

【 0 0 3 9 】

この図 4 に示すようなデータ受信装置によれば、処理クロックの速度を上げなくても復号部 6 での復号処理時間を短縮でき、復号処理の高速化が図れ、全体的なデータ受信処理の高速化が実現できる。

【 0 0 4 0 】

なお、本発明は上述した実施の形態のみに限定されるものではなく、例えば、上記実施の形態では、拘束長 4 で状態数が 8 の畳み込み符号化器により符号化されたデータを復号する例について示しているが、この他種々の拘束長で畳み込み符号化されたデータを復号する場合にも本発明を適用できる。また、復号処理の単位は、符号化前のデータの 2 ビット分に限定されず、例えば 3 ビット分の処理を行わせる場合に、8 状態分を並列処理するようにしてもよい。また、復号回路の構成は図 1 の例に限定されない。この他、本発明の要旨を逸脱しない範囲で種々の変更が可能であることは勿論である。

【 0 0 4 1 】

【発明の効果】

本発明に係る復号装置及び方法は、畳み込み符号化されたデータ列をビタビアルゴリズムに基づいて最尤復号する場合に、畳み込み符号化されたデータ列を復号するためのトレリス計算処理を、符号化前のデータの n ビット分に相当する処理の時刻を単位として行う際に、前時刻の計算結果の 2^n 状態分を並列処理して現在時刻の 2^n 状態分の計算結果を求めることにより、処理に用いるクロックの速度を上げることなく処理時間を短縮することができる。

【0042】

ここで、上記前時刻の計算結果の 2^n 状態分を読み出したメモリ領域に、これらの 2^n 状態分の計算結果を並列処理して得られた上記現在時刻の 2^n 状態分の計算結果を書き戻すことにより、メモリ内の未処理のデータを上書きすることを防止でき、読み出し用と書き込み用との2組のメモリを用いる必要がないためメモリ容量の増加を防止でき、あるいは読み出し用と書き込み用との2組のメモリを用いる場合に比べてメモリ容量の削減が図れる。

【0043】

また、本発明に係るデータ受信装置及び方法は、畳み込み符号化された信号を受信してビタビアルゴリズムに基づいて最尤復号する際に、畳み込み符号化されたデータ列を復号するためのトレリス計算処理を、符号化前のデータのnビット分に相当する処理の時刻を単位として行う際に、前時刻の計算結果の 2^n 状態分を並列処理して現在時刻の 2^n 状態分の計算結果を求めることにより、復号部での処理時間が短縮されたデータ受信装置及び方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態となる復号回路の概略構成を示すブロック図である。

【図2】

本発明の実施の形態となる図1の復号回路のトレリス計算処理動作を説明するためのトレリス線図である。

【図3】

4状態分のメトリック値の計算を単純に同時に行う場合の動作を説明するためのトレリス線図である。

【図4】

本発明の実施の形態が適用されるデータ送受信装置の概略構成を説明するためのブロック図である。

【図5】

拘束長4の畳み込み符号化器の概略構成を示すブロック図である。

【図6】

図5の畳み込み符号化器の状態遷移を説明するための図である。

【図7】

従来の畳み込み符号の復号回路構成の一例を示すブロック図である。

【図8】

畳み込み符号を復号するためのトレリス計算処理動作を説明するためのトレリス線図である。

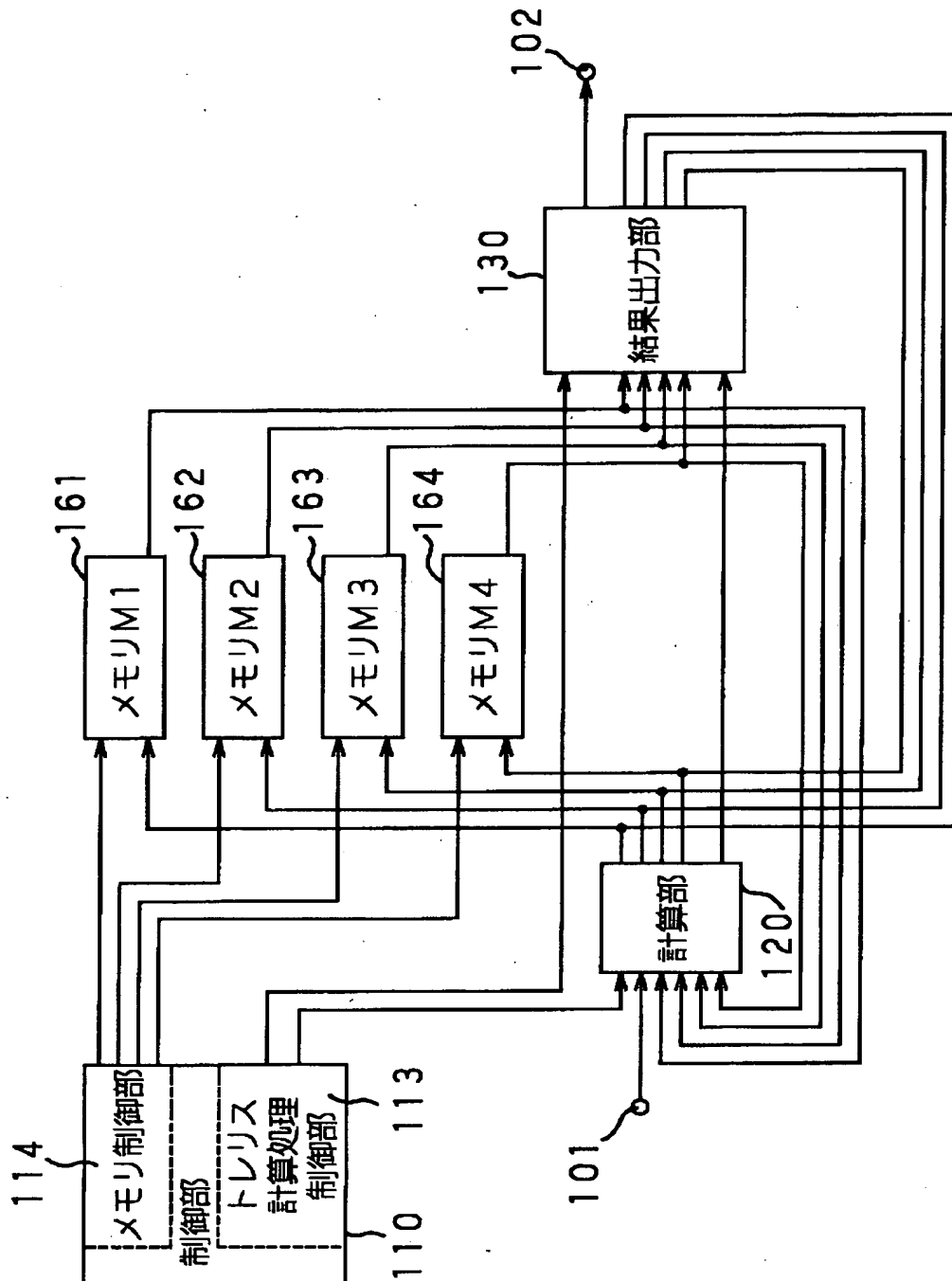
【符号の説明】

1 アンテナ、 2 共用器、 3 低雑音アンプ、 4 受信RF部、 5 復調部、 6 畳み込み符号の復号部、 7 端末I/F（インターフェース）回路、 8 データ端末、 11 畳み込み符号化部、 12 変調部、 13 送信RF部、 14 パワーアンプ、 101, 201 入力端子、 102, 202 出力端子、 110, 210 制御部、 113, 213 トレリス計算処理制御部、 114 メモリ制御部、 120, 220 計算部、 130, 230 結果出力部、 161~164 メモリ（M1~M4）、 211 ステートメトリック用メモリ制御部、 212 パスメトリック用メモリ制御部、 240 ステートメトリック用メモリ、 250 パスメトリック用メモリ

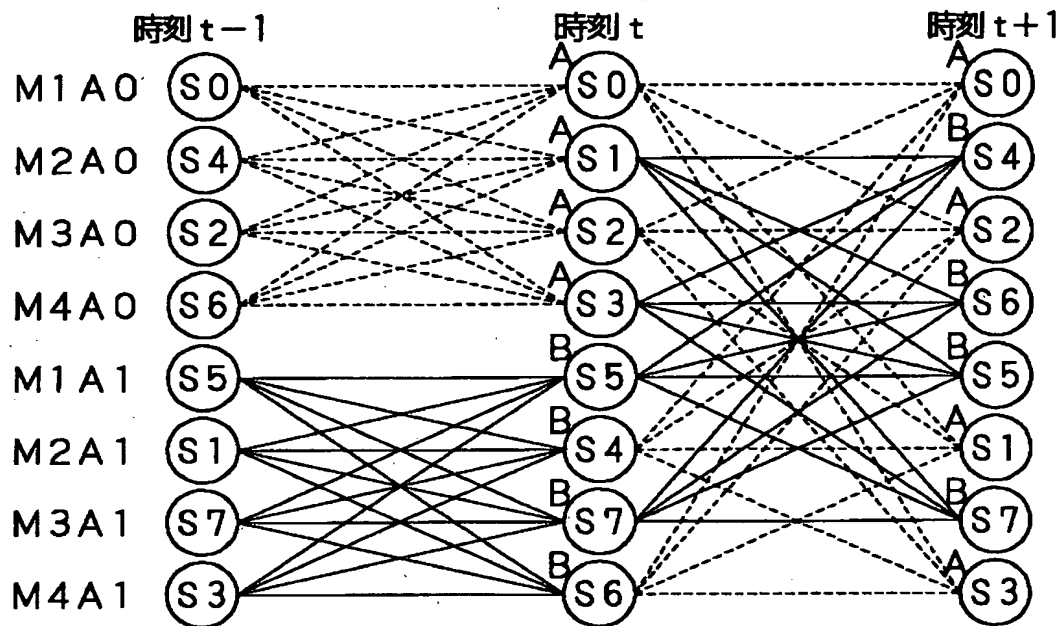
【書類名】

図面

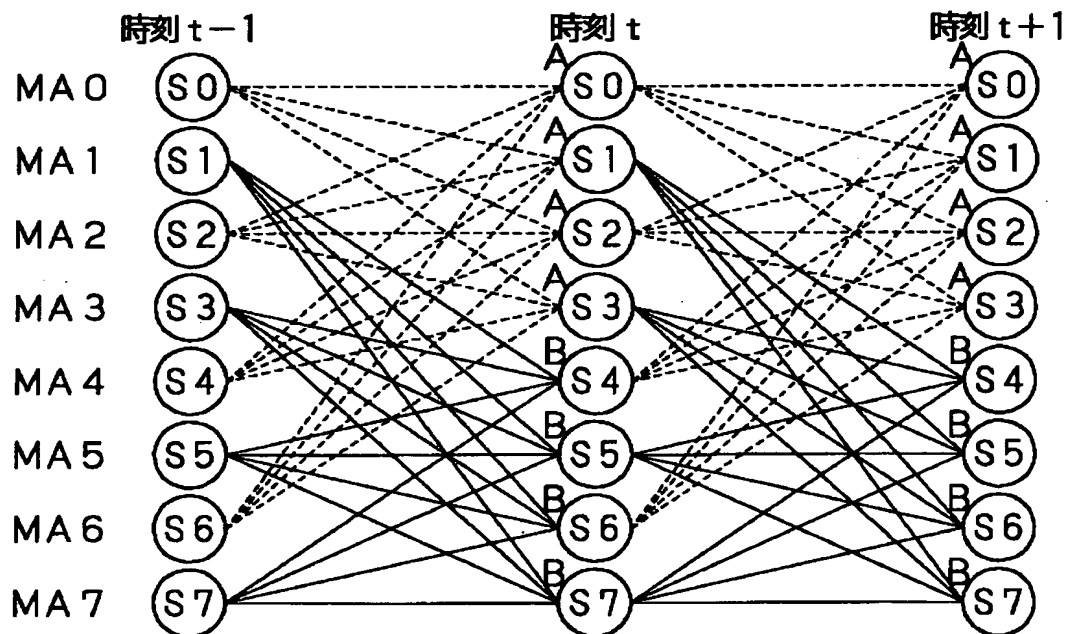
【図 1】



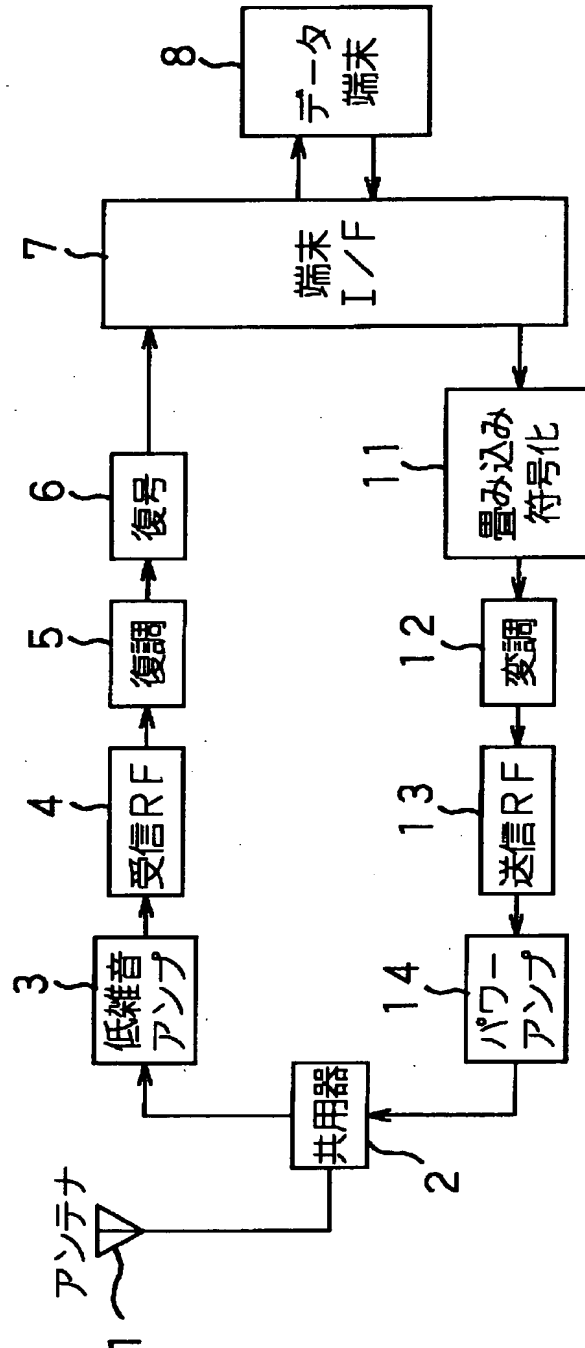
【図 2】



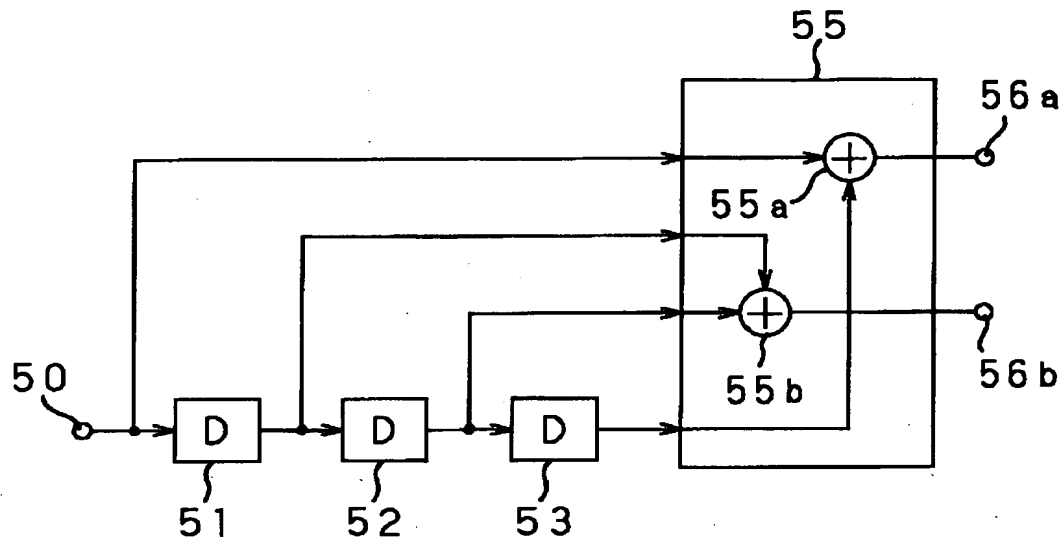
【図 3】



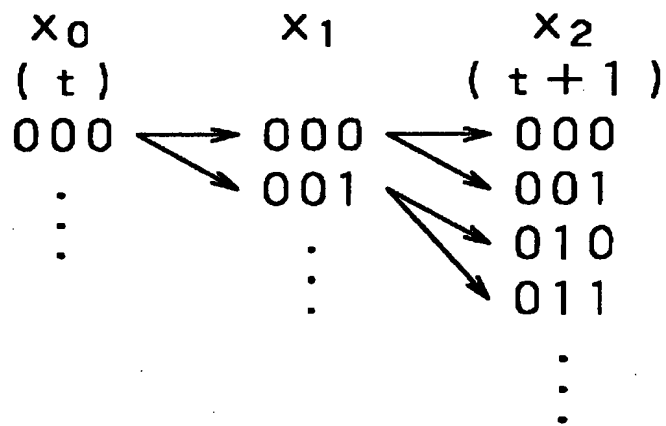
【図 4】



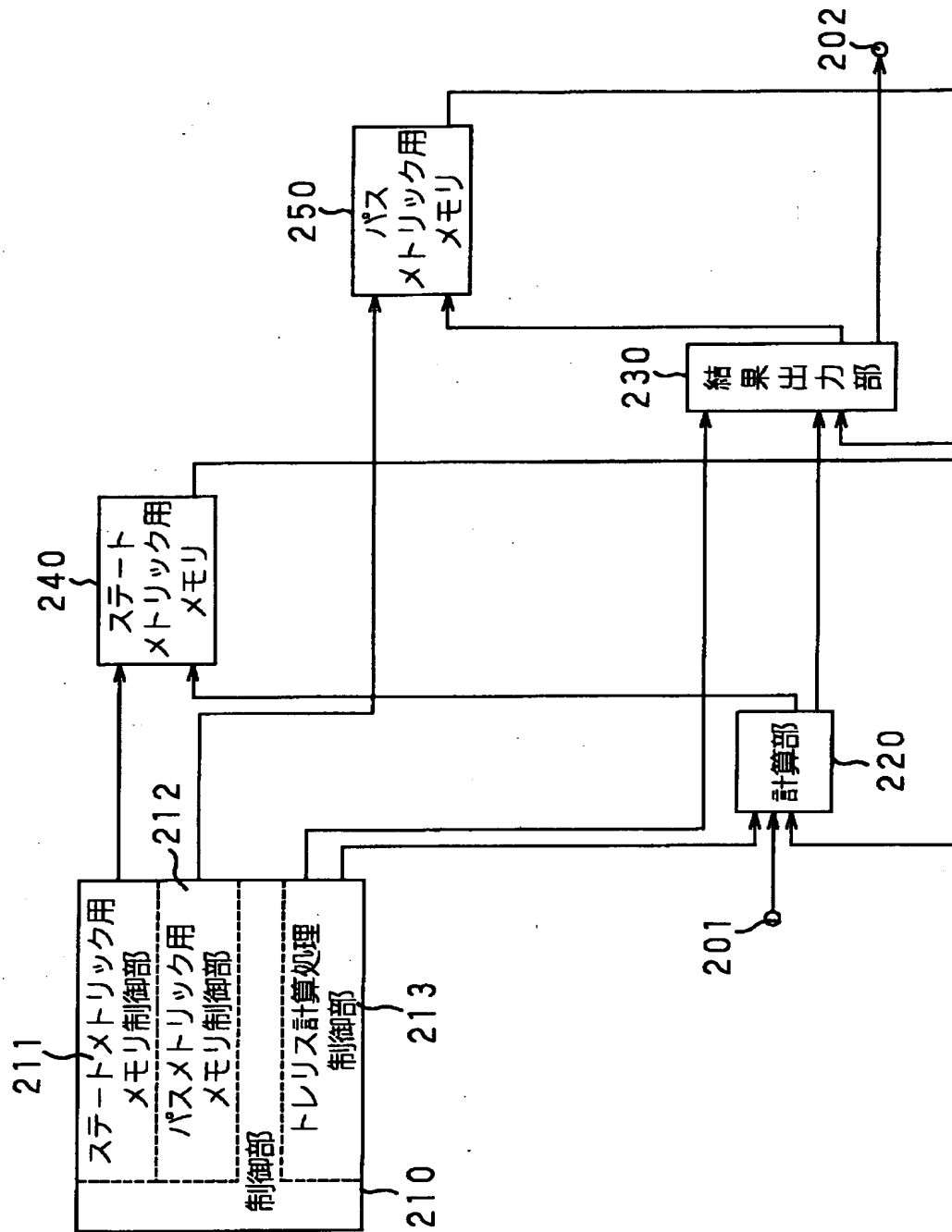
【図 5】



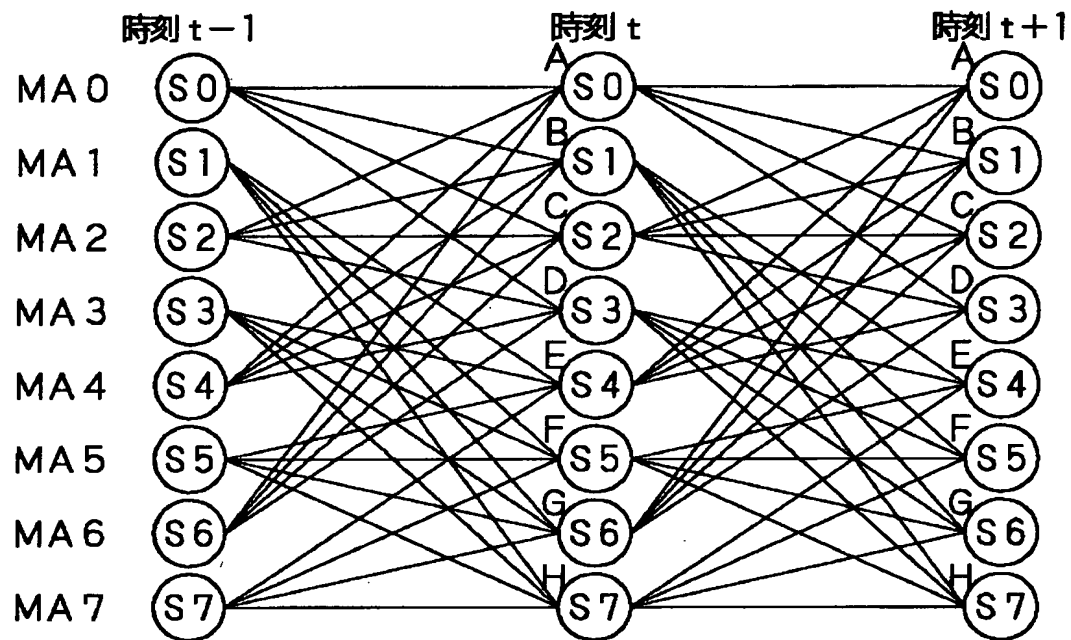
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 畳み込み符号を復号する際に、処理クロックの速度を上げること無く処理時間を短縮し、復号処理を高速化する。

【解決手段】 畳み込み符号化されたデータ列が入力端子 1 0 1 を介して入力され、計算部 1 2 0 に供給される。制御部 1 1 0 は、計算部 1 2 0、結果出力部 1 3 0、メモリ (M 1 ~ M 4) 1 6 1 ~ 1 6 4 を制御することにより、畳み込み符号をビタビアルゴリズムに基づいて最尤復号し、出力端子 1 0 2 より取り出す。この復号のためのトレリス計算処理を、符号化前のデータの 2 ビット分に相当する処理の時刻を単位として行う。制御部 1 1 0 のメモリ制御部 1 1 4 は、前時刻の計算結果の $2^n = 4$ 状態分をメモリ 1 6 1 ~ 1 6 4 から読み出して並列処理して、現在時刻の 4 状態分の計算結果を求め、メモリ 1 6 1 ~ 1 6 4 に書き戻す。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.